

PATENT
81754.0093

Express Mail Label No. EV 325 216 876 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Tatsuo NISHIMAKI

Serial No: Not assigned

Filed: July 18, 2003

For: POWER SOURCE CIRCUIT

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

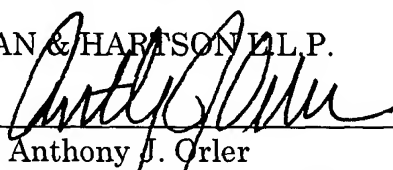
Enclosed herewith is a certified copy of Japanese patent application No. 2002-215245 which was filed July 24, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON LLP.

Date: July 18, 2003

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年 7月24日

出 願 番 号

Application Number: 特願2002-215245

[ST.10/C]:

[JP2002-215245]

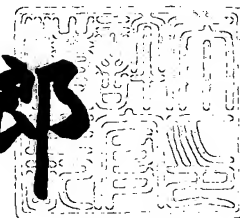
出 願 人

Applicant(s): セイコーエプソン株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3027949

【書類名】 特許願

【整理番号】 J0090827

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/335

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 西牧 辰夫

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 電源電圧と基準電位間に直列に接続された P チャンネルトランジスタと N チャンネルトランジスタを有し、各トランジスタのゲートに入力する PWM 信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な CMOS インバータ回路と、

前記 P チャンネルトランジスタのオフ期間で前記 N チャンネルトランジスタがオンした時に、前記 P チャンネルトランジスタと前記 N チャンネルトランジスタの接続点の電位（以下、中間ノード電位）が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、

前記 CMOS インバータ回路の出力を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、

前記誤差信号によってパルス幅が制御された PWM 信号を生成して、前記 CMOS インバータ回路の各ゲートに供給するもので、前記 CMOS インバータ回路に供給する PWM 信号のうち、前記 N チャンネルトランジスタのゲートに供給する PWM 信号を前記検出回路の検出信号により制御して、前記 N チャンネルトランジスタのオン状態をオフさせる PWM 手段と、

を具備したことを特徴とする電源回路。

【請求項 2】 前記検出回路は、

前記中間ノード電位と前記基準電位を選択的に切り換えることが可能で、前記 N チャンネルトランジスタがオンしている期間には前記中間ノード電位を選択して出力する第 1 のスイッチと、

前記第 1 のスイッチの出力端に直列に接続された結合コンデンサと、

前記結合コンデンサの出力端に直列に接続され、前記電源電圧及び前記基準電位と同じ電圧を用いて駆動され、前記 N チャンネルトランジスタがオンしている期間に前記中間ノード電位を入力して反転させ、検出信号として出力するインバ

ータと、

このインバータの入出力端に並列に接続され、前記Pチャンネルトランジスタがオンしている期間にはオンし、前記Nチャンネルトランジスタがオンしている期間にはオフする第2のスイッチと、

を具備したことを特徴とする請求項1に記載の電源回路。

【請求項3】 電源電圧と基準電位間に直列に接続されたPチャンネルトランジスタとNチャンネルトランジスタを有し、各トランジスタのゲートに入力するPWM信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なCMOSインバータ回路と、

前記Pチャンネルトランジスタのオフ期間で前記Nチャンネルトランジスタがオンした時に、前記Pチャンネルトランジスタと前記Nチャンネルトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す検出信号を出力する検出回路と、

前記ゼロ点位置を示す検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、

前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と

、

前記誤差信号によってパルス幅が制御されたPWM信号を生成して、前記CMOSインバータ回路の各ゲートに供給するPWM手段と、

を具備したことを特徴とする電源回路。

【請求項4】 電源電圧と基準電位間に直列に接続されたPチャンネルトランジスタとNチャンネルトランジスタを有し、各トランジスタのゲートに入力するPWM信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なCMOSインバータ回路と、

前記Pチャンネルトランジスタのオフ期間で前記Nチャンネルトランジスタがオンした時に、前記Pチャンネルトランジスタと前記Nチャンネルトランジスタ

の接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す第 1 の検出信号を出力する一方、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す第 2 の検出信号を出力する検出回路と、

前記ゼロ点位置を示す第 2 の検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、

前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と

、
前記誤差信号によってパルス幅が制御された P W M 信号を生成して、前記 C M O S インバータ回路の各ゲートに供給する一方、前記 C M O S インバータ回路に供給する P W M 信号のうち、前記 N チャンネルトランジスタのゲートに供給する P W M 信号を前記検出回路の第 1 の検出信号により制御して、前記 N チャンネルトランジスタのオン状態をオフさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 5】 電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力する P W M 信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な D C - D C 変換回路と、

前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後前記中間ノード電位が該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、

前記 D C - D C 変換回路に供給する P W M 信号のうち、前記ローサイドトランジスタのゲートに供給する P W M 信号を前記検出回路の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 6】 電源電圧と基準電位間に直列に接続されたハイサイドトランジ

スタとローサイドトランジスタを有し、各トランジスタのゲートに入力する P W M 信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な D C - D C 変換回路と、

前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後前記中間ノード電位が該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、

前記 D C - D C 変換回路の出力を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、

前記誤差信号によってパルス幅が制御された P W M 信号を生成して、前記 D C - D C 変換回路の各ゲートに供給するもので、前記 D C - D C 変換回路に供給する P W M 信号のうち、前記ローサイドトランジスタのゲートに供給する P W M 信号を前記検出回路の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 7】 前記検出回路は、

前記中間ノード電位と前記基準電位を選択的に切り換えることが可能で、前記ローサイドトランジスタがオンしている期間には前記中間ノード電位を選択して出力する第 1 のスイッチと、

前記第 1 のスイッチの出力端に直列に接続された結合コンデンサと、

前記結合コンデンサの出力端に直列に接続され、前記電源電圧及び前記基準電位と同じ電圧を用いて駆動され、前記ローサイドトランジスタがオンしている期間に前記中間ノード電位を入力して反転させ、検出信号として出力するインバータと、

このインバータの入出力端に並列に接続され、前記ハイサイドトランジスタがオンしている期間にはオンし、前記ローサイドトランジスタがオンしている期間にはオフする第 2 のスイッチと、

を具備したことを特徴とする請求項 5 又は 6 に記載の電源回路。

【請求項 8】 電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力する PWM 信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な DC-DC 変換回路と、

前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す検出信号を出力する検出回路と、

前記ゼロ点位置を示す検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、

前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、

前記誤差信号によってパルス幅が制御された PWM 信号を生成して、前記 DC-DC 変換回路の各ゲートに供給する PWM 手段と、

を具備したことを特徴とする電源回路。

【請求項 9】 電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力する PWM 信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な DC-DC 変換回路と、

前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す第 1 の検出信号を出力する一方、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す第 2 の検出信号を出力する検出回路と、

前記ゼロ点位置を示す第 2 の検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、

前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と

、
前記誤差信号によってパルス幅が制御された P W M 信号を生成して、前記 D C - D C 変換回路の各ゲートに供給する一方、前記 D C - D C 変換回路に供給する P W M 信号のうち、前記ローサイドトランジスタのゲートに供給する P W M 信号を前記検出回路の第 1 の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせる P W M 手段と、

を具備したことを特徴とする電源回路。

【請求項 1 0】 前記電流帰還回路は、前記ゼロ点位置を示す検出信号に基づいて負荷電流が所定値より大きい場合にのみ、電流帰還信号を生成して電流帰還を行うことを特徴とする請求項 3, 4, 8, 9 のいずれか 1 つに記載の電源回路

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電源回路に関し、特に、C M O S 集積回路を用いた同期整流方式の電源集積回路において、消費電力の低減と、負荷変動に対する高速応答が可能な電源回路に関する。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話などのモバイル機器が普及し、負荷となる回路を電池で駆動する機会が増えており、電源回路の消費電力が小さいことが必要不可欠となっている。また、電源回路は、負荷変動に対して高速に応答可能であることも必要不可欠となっている。

【 0 0 0 3 】

特に、集積回路を使用した電子機器の普及に伴い、低電圧で低消費電力の安定化直流電源が必要となる。

【 0 0 0 4 】

負荷及び入力の変動に合わせて、トランジスタをオン、オフさせてスイッチ作

用で電源の安定化を図れば、無駄に消費される電力を少なくできるため、電源の効率が非常に良くなる。つまり、トランジスタのオン期間（或いはオンデューティ）を変化させることで電源の安定化を図ることができる。そのような効率的な電源回路として、CMOS集積回路を用いた同期整流型スイッチングレギュレータがある。

【 0 0 0 5 】

CMOS集積回路は、Nチャンネルトランジスタ（以下、NMOSと略記する）とPチャンネルトランジスタ（以下、PMOSと略記する）の2種類のMOSトランジスタを組み合わせて構成され、その低消費電力特性ゆえに、LSI技術の主流となっている。

【 0 0 0 6 】

図14に、CMOS集積回路を用いた同期整流型スイッチングレギュレータの構成を示している。

【 0 0 0 7 】

図14において、電源回路は、ハイサイドトランジスタであるPMOS（QP1）とローサイドトランジスタであるNMOS（QN1）を有し、交互にオン、オフして直流電圧 V_{OUT} を出力する同期整流型のCMOSインバータ回路と、このCMOSインバータ回路の出力電圧を基準電圧源Eの基準電圧値と比較し誤差信号を得るエラーアンプ63と、前記誤差信号に基づいてPWM信号のパルス幅を制御することで、前記CMOSインバータ回路の出力を一定となるよう制御するPWM回路61と、を有して構成されている。

【 0 0 0 8 】

PWM回路61は、互いにほぼ同期した適宜のパルス幅を有する高周波（例えば1MHz）パルスSH, SLをPWM信号として出力し、PMOS（QP1）とNMOS（QN1）の各ゲートに印加する。高周波パルスSH, SLは図15(a), (b)に示すようなパルスである。入力電圧として直流電圧 V_{IN} （＝電源電圧 V_{DD} 、例えば4V）が供給される端子24と基準電位VSS（例えば0.3V）を与える端子25との間に、PMOS（QP1）、NMOS（QN1）の各トランジスタがドレインDを共通にして直列に接続されており、各トランジスタが上記のほぼ

同期した高周波パルス SH, SLにて交互にオン, オフすることにより、接続点である中間ノード K に図 1 5 (c) に示すような交流電圧 VMA を発生する。PMOS (QP1) がオフしている期間で NMOS (QN1) がオンしたとき、中間ノード電位 VMA は一旦アンダーシュートして基準電位 VSS よりも低い電位となり、アンダーシュートから戻って P 点にて VSS レベルと交差した後、VSS レベルを越えて上昇している。

【 0 0 0 9 】

なお、図 1 5 (a), (b) で NMOS (QN1) のゲートに供給されるゲートパルス SL が、PMOS (QP1) のゲートパルス SH に対して若干遅延しているのは、PMOS (QP1) を確実にオフしてからもう一方の NMOS (QN1) をオンするようにして、PMOS 及び NMOS が同時にオンして電源 VIN 側から基準電位 VSS 側へ貫通電流が流れることのないようにするためである。また、NMOS (QN1) のソース・ドレイン間にはショットキーダイオード SD が接続され、NMOS のオフ時における NMOS の過電圧保護および電力供給のバックアップを行う。

【 0 0 1 0 】

中間ノード K と基準電位 VSS を与える端子 2 5 との間には、整流用コイル L1 と安定化容量 C0 が直列に接続し、その直列接続点に接続した出力端子 2 7 に安定化容量 C0 で平滑された直流電圧 VOUT が出力される。そして、出力電圧 VOUT はフィードバックラインを介してエラーアンプ 6 3 の一端子に帰還され、基準電位 VSS を与える端子 2 8 に接続した基準電圧源 E の基準電圧値と比較される。エラーアンプ 6 3 の比較結果である誤差出力は PWM 回路 6 1 に供給され、該誤差出力にて PWM 回路 6 1 が生成する PWM 信号のパルス幅が制御される。この帰還制御によって、図示しない負荷に供給される出力電圧 VOUT (例えば 1.5 V) が常に一定となるように制御されるようになっている。

【 0 0 1 1 】

一方、レギュレータ出力 VOUT の負荷が急激に変化した場合、スイッチングレギュレータも負荷に応じて PWM (Pulse Width Modulation、パルス幅変調) の制御を行わなければならない。一般的に出力電圧 VOUT からの帰還をかけた場合

その応答性は低い。このため、負荷電流の変化により制御を行うことによって、負荷応答性を高めている。一般的には、外部のレギュレータ出力段に抵抗等を挿入して電流変化を監視することが行われている。

【0012】

例えば、図16に示すように、コイルL1と出力端子27との間に電流検出用抵抗RSを挿入し、該抵抗RSの両端の電位差を増幅器62で増幅してエラーアンプ63の一端子に帰還する。或いは、電流検出用抵抗RSを、PMOS(QN1)のソースSと直流電圧VINの端子24との間に挿入し、該抵抗RSの両端の電位差をフィードバックする。

【0013】

【発明が解決しようとする課題】

ところで、図14の電源回路では、動作時のPMOS(QP1)、NMOS(QN1)の中間ノードKの電圧VMAの波形は、図15(c)に示すようになっている。PMOS(QN1)がオフしている期間に、NMOS(QN1)がオンし、NMOS側から負荷に電力は供給される。このとき、中間ノード電圧VMAの電位は基準電位VSSレベルよりも低い電位となり、基準電位VSS側から中間ノードK側（即ち負荷側）に電流が流れる。

【0014】

しかしながら、消費される電流が少ない、すなわち軽い負荷の場合、NMOS(QP1)がオンしている期間に、中間ノード電位VMAがアンダーシュートから戻って基準電位VSSよりも上昇し、中間ノードKからVSS側に向かって電流が流れ（即ち電流が逆流することになり）、電力消費するという問題がある。このためNMOS(QP1)をオフさせる制御が必要となる。

【0015】

一方、負荷電流の変化によりPWM制御を行うことで、負荷応答性を高めているが、外部のレギュレータ出力段に抵抗等を挿入して電流変化を監視すると、抵抗を挿入することにより、抵抗による部品が大きく部品増を招き、また抵抗での損失による効率低下が発生するという問題がある。

【0016】

そこで、本発明は、同期整流方式の電源回路などにおいて、電力消費の低減と、部品増や効率低下を伴うことなく負荷変動に対する高速応答が可能な電源回路を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明による電源回路は、電源電圧と基準電位間に直列に接続されたPチャンネルトランジスタとNチャンネルトランジスタを有し、各トランジスタのゲートに入力するPWM信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なCMOSインバータ回路と、前記Pチャンネルトランジスタのオフ期間で前記Nチャンネルトランジスタがオンした時に、前記Pチャンネルトランジスタと前記Nチャンネルトランジスタの接続点の電位（中間ノード電位）が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、前記CMOSインバータ回路の出力を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、前記誤差信号によってパルス幅が制御されたPWM信号を生成して、前記CMOSインバータ回路の各ゲートに供給するもので、前記CMOSインバータ回路に供給するPWM信号のうち、前記Nチャンネルトランジスタのゲートに供給するPWM信号を前記検出回路の検出信号により制御して、前記Nチャンネルトランジスタのオン状態をオフさせるPWM手段と、を具備したものである。

【 0 0 1 8 】

本発明のこのような構成によれば、CMOSインバータ回路部において、Pチャンネルトランジスタがオフした後、Nチャンネルトランジスタがオンして中間ノード電位が下降し基準電位より低い電位にまでアンダーシュートし、該アンダーシュートがら基準電位にまで戻って来たらNチャンネルトランジスタを強制的にオフにする（即ちNチャンネルトランジスタのゲート電圧をローレベルにする）ことによって、中間ノード電位がアンダーシュートから戻って基準電位レベルを越えたときに中間ノード側から基準電位側に電流が流れて電力消費するのを防ぐことができる。

【 0 0 1 9 】

また、本発明において、前記検出回路は、前記中間ノード電位と前記基準電位を選択的に切り換えることが可能で、前記Nチャンネルトランジスタがオンしている期間には前記中間ノード電位を選択して出力する第1のスイッチと、前記第1のスイッチの出力端に直列に接続された結合コンデンサと、前記結合コンデンサの出力端に直列に接続され、前記電源電圧及び前記基準電位と同じ電圧を用いて駆動され、前記Nチャンネルトランジスタがオンしている期間に前記中間ノード電位を入力して反転させ、検出信号として出力するインバータと、このインバータの入出力端に並列に接続され、前記Pチャンネルトランジスタがオンしている期間にはオンし、前記Nチャンネルトランジスタがオンしている期間にはオフする第2のスイッチと、を具備することが好ましい。

【 0 0 2 0 】

このような構成によれば、中間ノード電位が前記のアンダーシュートから戻って基準電位を越えて上昇するタイミングをインバータ回路を用いて高速に検出することができ、遅延なく速やかにNチャンネルトランジスタをオフさせることができる。従って、負荷電流が変化することに起因して、中間ノード電位がアンダーシュートから基準電位に戻るタイミング（ゼロ点位置）が変動した場合であっても、確実にそのタイミングを検出でき、正確かつ高速な動作が可能となる。

【 0 0 2 1 】

また、本発明による電源回路は、電源電圧と基準電位間に直列に接続されたPチャンネルトランジスタとNチャンネルトランジスタを有し、各トランジスタのゲートに入力するPWM信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なCMOSインバータ回路と、前記Pチャンネルトランジスタのオフ期間で前記Nチャンネルトランジスタがオンした時に、前記Pチャンネルトランジスタと前記Nチャンネルトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す検出信号を出力する検出回路と、前記ゼロ点位置を示す検出信号に基づいて負荷電流の大小に応じた電流帰

還信号を生成する電流帰還回路と、前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、前記誤差信号によってパルス幅が制御された PWM 信号を生成して、前記 CMOS インバータ回路の各ゲートに供給する PWM 手段と、を具備したものである。

【 0 0 2 2 】

本発明のこのような構成によれば、従来例の回路のように電流検出用抵抗が不要となり、大きな抵抗部品の増加を防ぎ、検出用抵抗での電力損失（効率低下）を防ぐことができる。

【 0 0 2 3 】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続された P チャンネルトランジスタと N チャンネルトランジスタを有し、各トランジスタのゲートに入力する PWM 信号によって交互にオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能な CMOS インバータ回路と、前記 P チャンネルトランジスタのオフ期間で前記 N チャンネルトランジスタがオンした時に、前記 P チャンネルトランジスタと前記 N チャンネルトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す第 1 の検出信号を出力する一方、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す第 2 の検出信号を出力する検出回路と、前記ゼロ点位置を示す第 2 の検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、前記誤差信号によってパルス幅が制御された PWM 信号を生成して、前記 CMOS インバータ回路の各ゲートに供給する一方、前記 CMOS インバータ回路に供給する PWM 信号のうち、前記 N チャンネルトランジスタのゲートに供給する PWM 信号を前記検出回路の第 1 の検出信号により制御して、前記 N チャンネルトランジスタのオン状態をオフさせる PWM 手段と、を具備したものである。

【 0 0 2 4 】

本発明のこのような構成によれば、MOSインバータ回路部において、Pチャンネルトランジスタがオフした後、Nチャンネルトランジスタがオンして中間ノード電位が下降し基準電位より低い電位にまでアンダーシュートし、該アンダーシュートがら基準電位にまで戻って来たらNチャンネルトランジスタを強制的にオフにする（即ちNチャンネルトランジスタのゲート電圧をローレベルにすることによって、中間ノード電位がアンダーシュートから戻って基準電位レベルを越えたときに中間ノード側から基準電位側に電流が流れて電力消費するのを防ぐことができる。さらに、従来例の回路のように電流検出用抵抗が不要となり、大きな抵抗部品の増加を防ぎ、検出用抵抗での電力損失（効率低下）を防ぐことができる。

【 0 0 2 5 】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力するPWM信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なDC-DC変換回路と、前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後前記中間ノード電位が該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、前記DC-DC変換回路に供給するPWM信号のうち、前記ローサイドトランジスタのゲートに供給するPWM信号を前記検出回路の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせるPWM手段と、を具備したものである。

【 0 0 2 6 】

本発明のこのような構成によれば、DC-DC変換回路部において、ハイサイドトランジスタがオフした後、ローサイドトランジスタがオンして中間ノード電位が下降し基準電位より低い電位にまでアンダーシュートし、該アンダーシュートがら基準電位にまで戻って来たらローサイドトランジスタを強制的にオフにする（即ちローサイドトランジスタのゲート電圧をローレベルにすることによ

て、中間ノード電位がアンダーシュートから戻って基準電位レベルを越えたときに中間ノード側から基準電位側に電流が流れて電力消費するのを防ぐことができる。

【 0 0 2 7 】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力するPWM信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なDC-DC変換回路と、前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の中間ノード電位が、前記基準電位より低いレベルにアンダーシュートした後前記中間ノード電位が該基準電位を越える状態になったことを示す検出信号を出力する検出回路と、前記DC-DC変換回路の出力を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、前記誤差信号によってパルス幅が制御されたPWM信号を生成して、前記DC-DC変換回路の各ゲートに供給するもので、前記DC-DC変換回路に供給するPWM信号のうち、前記ローサイドトランジスタのゲートに供給するPWM信号を前記検出回路の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせるPWM手段と、を具備したものである。

【 0 0 2 8 】

本発明のこのような構成によれば、DC-DC変換回路部において、ハイサイドトランジスタがオフした後、ローサイドトランジスタがオンして中間ノード電位が下降し基準電位より低い電位にまでアンダーシュートし、該アンダーシュートがら基準電位にまで戻って来たらローサイドトランジスタを強制的にオフにする（即ちローサイドトランジスタのゲート電圧をローレベルにする）ことによって、中間ノード電位がアンダーシュートから戻って基準電位レベルを越えたときに中間ノード側から基準電位側に電流が流れて電力消費するのを防ぐことができる。

【 0 0 2 9 】

また、本発明において、前記検出回路は、前記中間ノード電位と前記基準電位を選択的に切り換えることが可能で、前記ローサイドトランジスタがオンしている期間には前記中間ノード電位を選択して出力する第1のスイッチと、前記第1のスイッチの出力端に直列に接続された結合コンデンサと、前記結合コンデンサの出力端に直列に接続され、前記電源電圧及び前記基準電位と同じ電圧を用いて駆動され、前記ローサイドトランジスタがオンしている期間に前記中間ノード電位を入力して反転させ、検出信号として出力するインバータと、このインバータの入出力端に並列に接続され、前記ハイサイドトランジスタがオンしている期間にはオンし、前記ローサイドトランジスタがオンしている期間にはオフする第2のスイッチと、を具備することが好ましい。

【 0 0 3 0 】

このような構成によれば、中間ノード電位が前記のアンダーシュートから戻って基準電位を越えて上昇するタイミングをインバータ回路を用いて高速に検出することができ、遅延なく速やかにローサイドトランジスタをオフさせることができる。従って、負荷電流が変化することに起因して、中間ノード電位がアンダーシュートから基準電位に戻るタイミング（ゼロ点位置）が変動した場合であっても、確実にそのタイミングを検出でき、正確かつ高速な動作が可能となる。

【 0 0 3 1 】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力するPWM信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なDC-DC変換回路と、前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す検出信号を出力する検出回路と、前記ゼロ点位置を示す検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得

る誤差検出手段と、前記誤差信号によってパルス幅が制御されたPWM信号を生成して、前記DC-DC変換回路の各ゲートに供給するPWM手段と、を具備したものである。

【0032】

本発明のこのような構成によれば、従来例の回路のように電流検出用抵抗が不要となり、大きな抵抗部品の増加を防ぎ、検出用抵抗での電力損失（効率低下）を防ぐことができる。

【0033】

さらに、本発明による電源回路は、電源電圧と基準電位間に直列に接続されたハイサイドトランジスタとローサイドトランジスタを有し、各トランジスタのゲートに入力するPWM信号によってオン、オフすると共に、そのオン期間が制御され、安定化容量を介して負荷に直流電圧を出力することが可能なDC-DC変換回路と、前記ハイサイドトランジスタのオフ期間で前記ローサイドトランジスタがオンした時に、前記ハイサイドトランジスタと前記ローサイドトランジスタの接続点の電位が、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位を越える状態になったことを示す第1の検出信号を出力する一方、前記基準電位より低いレベルにアンダーシュートした後そのアンダーシュートが該基準電位に戻ったタイミング（以下、ゼロ点位置）を検出し、少なくともこのゼロ点位置を示す第2の検出信号を出力する検出回路と、前記ゼロ点位置を示す第2の検出信号に基づいて負荷電流の大小に応じた電流帰還信号を生成する電流帰還回路と、前記電流帰還信号を所定の基準電圧値と比較し誤差信号を得る誤差検出手段と、前記誤差信号によってパルス幅が制御されたPWM信号を生成して、前記DC-DC変換回路の各ゲートに供給する一方、前記DC-DC変換回路に供給するPWM信号のうち、前記ローサイドトランジスタのゲートに供給するPWM信号を前記検出回路の第1の検出信号により制御して、前記ローサイドトランジスタのオン状態をオフさせるPWM手段と、を具備したものである。

【0034】

本発明のこのような構成によれば、DC-DC変換回路部において、ハイサイ

ドトランジスタがオフした後、ローサイドトランジスタがオンして中間ノード電位が下降し基準電位より低い電位にまでアンダーシュートし、該アンダーシュートから基準電位にまで戻って来たらローサイドトランジスタを強制的にオフにする（即ちローサイドのゲート電圧をローレベルにする）ことによって、中間ノード電位がアンダーシュートから戻って基準電位レベルを越えたときに中間ノード側から基準電位側に電流が流れて電力消費するのを防ぐことができる。さらに、従来例の回路のように電流検出用抵抗が不要となり、大きな抵抗部品の増加を防ぎ、検出用抵抗での電力損失（効率低下）を防ぐことができる。

【 0 0 3 5 】

また、本発明において、前記電流帰還回路は、前記ゼロ点位置を示す検出信号に基づいて負荷電流が所定値より大きい場合にのみ、電流帰還信号を生成して電流帰還を行うことが好ましい。

【 0 0 3 6 】

このような構成によれば、負荷電流が所定値を越えた場合にのみ電流帰還信号を生成してレギュレータ出力の変動を抑える機能を有したものとなり、簡易な帰還制御を実現することができる。

【 0 0 3 7 】

【発明の実施の形態】

発明の実施の形態について図面を参照して説明する。

【 0 0 3 8 】

図 1 は本発明の第 1 の実施の形態の電源回路の構成を示している。本実施の形態は、効率の良い安定化直流電源として、CMOS 集積回路を用いた同期整流型スイッチングレギュレータの構成を示している。

【 0 0 3 9 】

図 1 において、電源回路は、ハイサイドトランジスタとしての PMOS (QP1) とローサイドトランジスタとしての NMOS (QN1) を有し、交互にオン、オフして直流電圧 VOUT を出力する同期整流型の CMOS インバータ回路と、この CMOS インバータ回路の出力電圧を基準電圧源 E の基準電圧値と比較し誤差信号を得るエラーアンプ 40 と、前記誤差信号に基づいて PWM 信号のパルス幅

を制御することで、前記CMOSインバータ回路の出力を一定となるよう制御するPWMコントローラ30と、を有して構成されている。前記CMOSインバータ回路は、直流電圧VINを入力し、適宜な直流電圧VOUTに変換して出力するDC-DC変換回路を構成している。

【0040】

CMOSインバータ回路は、入力電圧である直流電圧VIN(=電源電圧VDD、例えば4V)が供給される端子1と基準電位VSS(=グランド電位GND、例えば0.3V)が与えられた端子2との間に、PMOS(QP1)、NMOS(QN1)の各トランジスタがドレインDを共通にして直列に接続されている。PMOS(QP1)のソースは端子1に接続し、NMOS(QN1)のソースは端子2に接続している。

【0041】

PMOS(QP1)、NMOS(QN1)の各ゲートには、PWMコントローラ30からPWM信号として高周波パルスSH、SLが供給され、各トランジスタは該高周波パルスSH、SLにて交互にオン、オフされることにより、両トランジスタの接続点である中間ノードKに交流電圧VMAを発生する。

【0042】

なお、図2(a)、(b)に示すようにNMOS(QN1)のゲートパルスSLを、PMOS(QP1)のゲートパルスSHに対して若干遅延させており、PMOS(QP1)を確実にオフしてからもう一方のNMOS(QN1)をオンするようにして、PMOS及びNMOSの同時オンによって電源VIN側から基準電位VSS側へ貫通電流が流れるのを防いでいる。また、NMOS(QN1)のソース・ドレイン間にはショットキーダイオードSDが接続され、NMOSのオフ時におけるローサイド側NMOSの過電圧保護および電力供給のバックアップを行う。

【0043】

交流電圧VMAが生成される中間ノードKと基準電位VSSが与えられる端子3との間には、整流用コイルL1と安定化容量C0が直列に接続し、その直列接続点に接続した出力端子4に安定化容量C0で平滑された直流電圧VOUT(例えば1.5V)が出力され、図示しない負荷に供給される。

【 0 0 4 4 】

そして、出力の直流電圧 V_{OUT} はフィードバックラインを介してエラーアンプ 4 0 の一端子に帰還されており、基準電位 V_{SS} が与えられる端子 5 に接続した基準電圧源 E の基準電圧値と比較される。

【 0 0 4 5 】

エラーアンプ 4 0 の比較結果である誤差（エラー）電圧は PWM コントローラ 3 0 に供給され、該誤差電圧にて PWM 回路 3 3 が生成する PWM 信号のパルス幅が制御される。

【 0 0 4 6 】

PWM コントローラ 3 0 は、エラーアンプ 4 0 の誤差出力に基づいてパルス幅が制御された PWM 信号を生成する PWM 回路 3 3 と、PMOS（QP1）がオフしている期間で NMOS（QN1）がオンしている時に、前記中間ノード K の電位 V_{MA} が V_{SS} レベルより低い電位にアンダーシュートした後そのアンダーシュートから戻って V_{SS} レベルに達し更に上昇したことを検出することによって、検出信号 $NOFF$ を出力する検出回路 3 1 と、CMOS インバータ回路に供給する PWM 信号 SH , SL のうち、NMOS（QN1）のオン、オフに係わる PWM 信号 SL のパルス幅を前記検出信号 $NOFF$ により制御して、PMOS（QP1）のオフ期間で NMOS（QN1）がオンしている時に、NMOS（QN1）のオン状態をオフさせる制御を行う出力ドライバ 3 2 と、を備えて構成されている。なお、PWM 回路 3 3 と出力ドライバ 3 2 とは、PWM 手段を構成している。

【 0 0 4 7 】

次に、図 1 の回路動作を、図 2 乃至図 4 を参照して説明する。

【 0 0 4 8 】

図 2 は図 1 における PWM 信号 SH , SL 及び中間ノード電位 V_{MA} の変化を示すタイミングチャートであり、(a) は PWM 信号 SH 、(b) は PWM 信号 SL 、(c) は中間ノード電位 V_{MA} をそれぞれ示している。図 3 は図 2 (c) を拡大して示す拡大図である。図 4 は基準電位 V_{SS} 及び中間ノード電位 V_{MA} と、検出回路 3 1 の検出信号 $NOFF$ との関係を示すタイミングチャートであり、(a) は PMOS がオフしている期間で NMOS がオンの時の、基準電位 V_{SS} に対する中間ノード

電位VMAの変化状態（軽負荷時）を示し、(b)はVMAとVSSに基づいて検出回路31で生成される検出信号NOFFを示している。

【0049】

PMOS (QP1), NMOS (QN1) の各ゲートには、PWMコントローラ30からPWM信号として高周波パルスSH, SLが供給され、各MOSトランジスタは該高周波パルスSH, SLにて交互にオン, オフされる。図2(c)に示すようにPMOS (QP1) がオンし、NMOS (QN1) がオフしている期間には、電源からの直流電圧VIN (= VDD) に基づいた負荷電流がコイルL1を介して安定化容量C0に充電されるので、中間ノード電位VMAは直流電圧VIN (= VDD) となり、PMOS (QP1) がオフしNMOS (QN1) がオンすると、中間ノード電位VMAは基準電位VSS (= GND) より若干低いレベルにまで降下した後上昇し、VSSレベルとP点にて交差し、更に上昇してVSS (= GND) を越えたレベルにまで上昇する。

【0050】

PMOS (QP1) のオフ期間におけるVMAの電圧変化は、図3に示すようになっており、PMOS (QP1) のオフ期間にNMOS (QN1) がオンした後のNMOSオン期間T2においてはVSSレベルより低い電位にアンダーシュートしそのアンダーシュートが戻った後VSSレベルを越えて上昇している。そして、PMOS (QP1) がオンしている期間T1においては、中間ノード電圧VMAはVIN (= VDD) 一定を保持している。

【0051】

検出回路31は、その検出信号NOFFとして、図4(a), (b)に示すように、上記期間T2において中間ノード電位VMAが基準電位VSSレベルより低いときはハイレベル信号(H)を出力し、VSSレベルより上昇したときはローレベル信号(L)を出力する。

【0052】

出力ドライバ32は、期間T2において、図4(b)の検出信号NOFFを受けると、図2(b)のパルスSLの2点鎖線にて示すパルス幅をP点のタイミングでローレベルに落とし、結果として実線にて示すパルス幅に変化させる。これによりN

MOS (QN1) のオンする期間は短くなるが、NMOS (QN1) がオンし続けることによる中間ノードK (従って安定化容量C0) から基準電位VSS側に流れる逆方向電流によって発生する電力損失を防止できる効果が大きい。

【 0 0 5 3 】

図5は上記検出回路31の構成例を示すもので、(a)はその回路図、(b)は(a)におけるスイッチS1～S3の切換えタイミングを示す図である。ここでは、一段のインバータ(311)を用いた例を示している。

【 0 0 5 4 】

検出回路31は、中間ノード電位VMAの入力端6と、スイッチS1、S2と、結合コンデンサC1と、インバータ311と、スイッチS3と、ナンドゲート314と、インバータ315と、検出信号NOFFの出力端10と、を有して構成されている。インバータ311は、電源電圧VIN (= VDD) と基準電位VSSと同じ電圧を用いて駆動される。スイッチS1、S2はそれぞれ入力端A、Bを有する2入力切換えスイッチであり、スイッチS3はオンオフ切換えスイッチであってインバータ311の入出力端間に並列に接続されている。

【 0 0 5 5 】

入力端6には中間ノード電位VMAが入力され、期間T2においてはスイッチS1、S2を介し、更に結合コンデンサC1を介してインバータ311の入力点aに供給される。このときスイッチS3は開放であるので、入力点aの信号は反転されてナンド(NAND)ゲート314の一方の入力端に入力し、もう一方の入力端9に与えられている期間T2を示すハイレベル信号との間でナンド(NAND)がとられ、さらにインバータ315を介して出力端10に検出信号NOFFとして出力される。また、期間T1においては、結合コンデンサC1の入力端はVSSレベルにされ、上記スイッチS3はショートされる。

【 0 0 5 6 】

なお、スイッチS1は、期間T1において入力電圧VMAがVIN (= VDD) になったときにスイッチS1の出力端を介して後段に電源電圧VINの影響が及ばないようにスイッチS1の出力端をVSSレベル側にしておくために設けてある。

【 0 0 5 7 】

また、上記のナンドゲート 3 1 4、インバータ 3 1 5 は、期間 T2 においてアナログ信号 VMA の変化をインバータ 3 1 1 で 2 値化した信号を更にデジタル信号化していくために付加されたゲートである。

【 0 0 5 8 】

端子 6 に入力される上記中間ノード電位 VMA と、端子 7、8 に与えられる基準電位 VSS との一方が、期間 T2、T1 に対応したスイッチ S1、S2 の切換えに応じて入力され、結合コンデンサ C1 の入力端に加えられることになる。

【 0 0 5 9 】

従って、まず、期間 T1 においては、VSS が入力とされ、インバータ 3 1 1 の入出力はショートしているので、インバータ 3 1 1 の入力点 a の実行レベルは $V_{IN}/2$ ($=V_{ref}$) に収まっている。この状態に設定して、次に図 6 に示すように期間 T2 のタイミングで、NMOS (QN1) がオンしたところで VMA はアンダーシュートして VSS より少し低い電圧になる。これがコンデンサ C1 による容量カップリングにてインバータ 3 1 1 の入力点 a に伝送されるので、このときのインバータ 3 1 1 の入力点 a ではしきい値 V_{ref} ($=V_{IN}/2$) より低い入力レベルとなり、インバータ 3 1 1 の反転出力はハイ (H) レベル、その後、VMA が V_{ref} より高くなると、インバータ 3 1 1 の反転出力はロー (L) レベルになる。

【 0 0 6 0 】

即ち、期間 T2 において、出力端子 10 に得られる検出信号 NOFF は、VSS レベルに対する VMA の変化に応じて、H レベル → L レベルの変化となって検出される。

【 0 0 6 1 】

図 7 は上記検出回路 3 1 のもう一つの構成例を示すもので、(a) はその回路図、(b) は (a) におけるスイッチ S1 ~ S4 の切換えタイミングを示す図である。ここでは、二段のインバータ (3 1 1, 3 1 2) を用いた例を示している。スイッチ S1、S2 は入力端 A、B を有する 2 入力切換えスイッチであり、スイッチ S3 はオンオフ切換えスイッチである。

【 0 0 6 2 】

図 7 の例では、図 5 におけるインバータ 3 1 1 の後段に、結合コンデンサ C 2 及びインバータ 3 1 2 と、及びインバータ 3 1 3 をさらに追加したものであり、インバータ 3 1 2 の入出力間にはスイッチ S 4 を並列に接続している。インバータ 3 1 2 は、インバータ 3 1 1 と同様に、電源電圧 V_{IN} ($=V_{DD}$) と基準電位 V_{SS} と同じ電圧を用いて駆動される。インバータ 3 1 2 と前述のナンドゲート 3 1 4 との間に接続されたインバータ 3 1 3 は、図 5 の回路と信号極性の整合とるべくを挿入されている。なお、前述のナンドゲート 3 1 4、インバータ 3 1 5 については、図 5 の場合と同様に、期間 T 2 においてアナログ信号 V_{MA} の変化をインバータ 3 1 1、3 1 2 で 2 値化した信号を更にデジタル信号化していくために付加されたゲートである。

【 0 0 6 3 】

従って、図 7 の回路は、インバータ構成を 2 段としてゲインを稼いだものであり、動作は図 5 と同様である。

【 0 0 6 4 】

図 8 は上記出力ドライバ 3 2 の構成例を示す回路図である。

【 0 0 6 5 】

図 8 において、出力ドライバ 3 2 は、PWM 回路 3 3 からの PWM 信号が入力される入力端子 1 1 と、検出回路 3 1 からの検出信号 $NOFF$ (図 4 (b) 参照) が入力される入力端子 1 2 と、2 入力のナンドゲート 3 2 1 と、3 入力のナンドゲート 3 2 2 と、インバータ 3 2 3、3 2 4、3 2 5、3 2 6、3 2 7 と、PMOS (Q_{P1}) のゲート信号となる高周波パルス SH を出力する出力端子 1 3 と、NMOS (Q_{N1}) のゲート信号となる高周波パルス SL を出力する出力端子 1 4 と、を有して構成されている。

【 0 0 6 6 】

図 8 の構成によって、出力端子 1 3、1 4 には、図 2 (a)、(b) にそれぞれ示したような高周波パルス SH 、 SL が出力される。高周波パルス SH がローレベルからハイレベルに立ち上がった後この SH の立ち上がりから若干ディレイして高周波パルス SL がハイレベルに立ち上がることによって NMOS (Q_{N1}) がオンすると、中間ノード電位 V_{MA} は図 2 (c) のように電源電圧 V_{IN} ($=V_{DD}$) から降

下し基準電位VSSを越えてより低い電位にアンダーシュートする。そして、高周波パルスSLは、中間ノード電位VMAがそのアンダーシュートから基準電位VSSに戻ったタイミング（交点Pのタイミング、即ち検出信号NOFFの立下りのタイミング）でローレベルにされ、その結果、NMOS（QN1）がオフして中間ノードKとVSS側間の接続が断となる。これによって、中間ノードKからVSS側に向って電流が流れて電力が消費されるのを防ぐことができる。

【 0 0 6 7 】

以上述べた第1の実施の形態によれば、CMOSインバータ回路において、PMOS（QP1）がオフした後、NMOS（QN1）がオンして中間ノードKの電位VMAが下降し基準電位VSSより低い電位にまでアンダーシュートし、該アンダーシュートから基準電位VSSまで戻って来たらそれをトリガにしてNMOS（QN1）をオフにする〔即ちNMOS（QN1）のゲート電圧をローレベルにする〕ことによって、中間ノード電位VMAがアンダーシュートから戻って基準電位VSSレベルを越えたときに中間ノードK側からVSS側に電流が流れて電力消費するのを防止できるとともに、中間ノード電位VMAがアンダーシュートから戻って基準電位VSSレベルを越えるタイミングを所定のしきい値を有するインバータ回路を用いて高速に検出することができ、遅延なく速やかにNMOS（QN1）をオフさせることができる。従って、負荷電流が変動することによって中間ノード電位VMAがアンダーシュートから基準電位VSSレベルに戻るゼロ点位置が変動した場合（後述する）であっても、確実に中間ノード電位VMAが基準電位VSSレベルを越えるタイミングを検出でき、正確かつ高速な動作が可能となる。

【 0 0 6 8 】

ところで、PMOS（QP1）のオフ期間におけるVMAの電圧変化の仕方は、出力端子4に接続される負荷（図示せず）の大小（即ち負荷電流の大小）に応じて相違し、負荷の大小に応じてVMAがVSSレベルと交差する点（以下、ゼロ点位置という）Pが右或いは左に移動する。即ち、図9(a)の3本の右上がりの線にて示されるようにVSSレベルと交差する電圧変化部分（期間T2）が、軽い負荷の場合は高いレベルの変化線（P1を含む線）に、重い負荷の場合には低いレベルの変化線（P2を含む線）になる。なお、P0を含む変化線は、軽負荷と重

負荷の中間の負荷の場合を示している。P点における電位変化を検出した後にNMOSのゲートパルスSLの幅を制御する図1の構成では、VMAはP点以降急激に上昇する波形となる。

【0069】

従って、ゼロ点位置P（例えばP0, P1, P2）を検出して、そのゼロ点位置の検出信号NOFF'（図9(b)参照）に基づいて電流帰還信号を生成しエラーアンプ40に対して帰還をかければ、急激な負荷の変動に対しても速い応答でフィードバック制御を行うことが可能となる。或いは、ゼロ点位置P（VSSレベルとの交差点）を検出する代わりに、図9(a)に示したPMOS（QP1）のオフ期間における時間T11, T12の比を算出することで負荷の大小を検出してもよい。

【0070】

図10は本発明の第2の実施の形態の電源回路の構成を示している。

【0071】

本実施の形態は、主要部分は図1の実施の形態と同様な構成を有しており、図1と異なる点のみ説明する。図1と同一部分には同一符号を付してある。

【0072】

図10では、負荷電流の変化を検出して、これに基づいてPWM回路に帰還をかける電流帰還制御の手段として、図1における検出回路31の検出結果〔図4(b)のNOFF〕に基づいて上述したゼロ点位置を検出する〔図9(b)の検出信号NOFF'を得る〕ことで負荷電流の大小を検出し、エラーアンプ40を介してPWM回路33に電流帰還をかけるようにしたものである。

【0073】

図10で図1と異なる点は、PMOS（QP1）のオフ期間でNMOS（QN1）がオンした時に、中間ノード電位VMAが電源電圧VIN（=VDD）から降下し基準電位VSSを越えてより低い電位にアンダーシュートし、中間ノード電位VMAがそのアンダーシュートから基準電位VSSに戻ったタイミング（ゼロ点位置）を検出し〔或いは、前述したように図9(a)に示したPMOS（QP1）のオフ期間における時間T11とT12の時間比を検出してもよい〕、少なくともこのゼロ点位置検出信号NOFF'を出力する検出回路31Aを設けたことと、このゼロ点

位置検出信号 $NOFF'$ に基づいて負荷の大小に応じた電流帰還信号を生成する電流帰還回路 50 を設けたことである。これにより、図 1 の電源回路は、負荷の大小に応じた電流帰還信号を生成してレギュレータ出力の変動を抑える機能を有したものとなる。

【 0 0 7 4 】

或いは、上記電流帰還回路 50 は、ゼロ点位置検出信号 $NOFF'$ を用いて負荷電流が所定値より大きい場合にのみ、電流帰還信号を生成して電流帰還を行う機能を有したものであっても良い。これにより、図 1 の電源回路は、負荷電流が所定値を越えた場合にのみ電流帰還信号を生成してレギュレータ出力の変動を抑える機能を有したものとなり、簡易な帰還制御を実現することができる。

【 0 0 7 5 】

更に、前記検出回路 31A は、図 1 における検出回路 31 と同じ機能をさらに備えたものであっても良い。即ち、前記検出回路 31A は、PMOS (QP1) のオフ期間で NMOS (QN1) がオンした時に、前記中間ノード K の電位 VMA が VSS レベルより一旦低いレベルにアンダーシュートした後そのアンダーシュートが戻って VSS レベルより上昇したことを検出し、検出信号 $NOFF$ (図 4 (b) 参照) を出力する一方、中間ノード電位 VMA がそのアンダーシュートから基準電位 VSS に戻ったタイミングを検出し、ゼロ点位置検出信号 $NOFF'$ を出力するものであっても良い。これにより、図 10 の電源回路は、NMOS (QN1) のオン時に、出力ドライバ 32 を制御して NMOS (QN1) をオフして電力消費を抑える機能と、負荷の大小に応じた電流帰還信号を生成してレギュレータ出力の変動を抑える機能 (或いは負荷電流が所定値を越えた場合にのみ電流帰還信号を生成してレギュレータ出力の変動を抑える機能) と、の両方の機能を有したものとなる。

【 0 0 7 6 】

上記電流帰還回路 50 は、前記検出回路 31A からの前記ゼロ点位置検出信号 $NOFF'$ を用いて PSW/NSW 信号 (図 12 (c), (d) 参照) を生成する図 11 に示すような第 1 の回路 51 と、その PSW/NSW 信号 (図 12 (c), (d) 参照) を用いて、負荷電流の変化を検出する図 13 に示すような第 2 の回路 52 と

を備えて構成されている。

【 0 0 7 7 】

図 1 1 に示す第 1 の回路 5 1 は、前記 PWM 回路 3 3 からの PWM 信号（高周波パルス SH とほぼ同じ信号）を入力する入力端子 1 5 と、前記検出回路 3 1 A からの前記ゼロ点位置検出信号 NOFF' [図 9 (b) 参照] を入力する入力端子 1 6 と、2 つの 2 入力ノア（NOR）ゲート 5 1 1, 5 1 2 と、2 入力ナンドゲート 5 1 3 と、インバータ 5 1 4 と、インバータ 5 1 5 と、PMOS（QP1）のオフ期間の開始からゼロ点位置までの期間を示す PSW 信号を出力する出力端子 1 7 と、ゼロ点位置から PMOS（QP1）のオフ期間の終了までの期間を示す NSW 信号を出力する出力端子 1 8 と、を備えて構成されている。上記ノア（NOR）ゲート 5 1 1, 5 1 2 は、互いにその出力を他のノアゲートの入力として帰還しており、R-S NOR ラッチを構成している。

【 0 0 7 8 】

図 1 2 は、CMOS インバータ回路へ入力するスイッチングパルス SH, SL と、図 1 1 の回路 5 1 にて作成される PSW / NSW 信号との関係を示すタイミングチャートである。図 1 2 (a), (b) は図 2 (a), (b) と同様の波形を示しており、ゼロ点位置 P においてパルス SL がローレベルに落ちた状態となっている。図 1 2 (c) はパルス SH の立ち上がり点からゼロ点位置 P までの期間がローレベルで、その他の期間がハイレベルを有する PSW 信号を示し、図 1 2 (d) はゼロ点位置 P からパルス SH の立ち下がり点までの期間がハイレベルで、その他の期間がローレベルを有する NSW 信号を示している。

【 0 0 7 9 】

図 1 3 に示す回路 5 2 は、直流電圧 VIN (= 電源電圧 VDD) が供給される入力端子 1 9 と、図 1 1 の回路 5 1 からの PSW 信号 [図 1 2 (c) 参照] が入力する入力端子 2 0 と、図 1 1 の回路 5 1 からの NSW 信号 [図 1 2 (d) 参照] が入力する入力端子 2 1 と、基準電位 VSS が供給される入力端子 2 2 と、定電流回路（カレントミラー）を構成する PMOS（QP2）, PMOS（QP3）と、PMOS（QP2）と共に定電流回路（カレントミラー）を構成する PMOS（QP4）と、定電流源 Q0 と、定電流回路（カレントミラー）を構成する NMOS（QN2

), NMOS (QN4) と、上記 PMOS (QP4) と上記 NMOS (QN4) との間に直列に接続された PMOS (QP5) と NMOS (QN3) で形成された CMOS インバータと、この CMOS インバータの PMOS と NMOS の直列接続点と VSS ライン間に接続された抵抗 R1, コンデンサ C3 から成る積分回路と、この積分回路の出力を入力とし、VIN ラインと VSS ライン間に直列に接続された PMOS (QP6) と NMOS (QN5) で形成された出力段の CMOS インバータと、PMOS (QP6) と NMOS (QN5) の共通ドレインに接続され、負荷の大小に対応したパルス幅の電流帰還信号をエラーアンプ 40 に出力するための出力端子 23 と、を備えて構成されている。

【0080】

以上述べた第2の実施の形態によれば、図16の従来例の回路のように電流検出用抵抗が不要となり、大きな抵抗部品増を防ぎ、検出用抵抗の電力損失による効率低下を防ぐことができる。

【0081】

本発明は、以上述べた実施の形態に限るものではなく、本発明の要旨を変えない範囲で各実施の形態を適宜変更して実施することができる。

【0082】

尚、以上述べた実施の形態では、ハイサイドトランジスタを PMOS、ローサイドトランジスタを NMOS とした CMOS 集積回路について説明したが、本発明はこれに限定されず、ハイサイド、ローサイドの両トランジスタとも NMOS としパルス SH を反転させる構成としても良く、またハイサイド、ローサイドの両トランジスタとも PMOS としパルス SL を反転させる構成としても良い。

【0083】

【発明の効果】

以上述べたように本発明によれば、CMOS 集積回路を用いた同期整流方式の電源回路において、電力消費の低減と、部品増や効率低下を伴うことなく負荷変動に対する高速応答が可能な電源回路を実現することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施の形態の電源回路の構成を示す図。

【図 2】

図 1 における PWM 信号 SH, SL 及び中間ノード電位 VMA の変化を示すタイミングチャート。

【図 3】

図 2 (c) を拡大して示す拡大図。

【図 4】

基準電位 VSS 及び中間ノード電位 VMA と、検出回路の検出信号 NOFF との関係を示すタイミングチャート。

【図 5】

検出回路の構成例を示す図。

【図 6】

図 5 における検出信号 NOFF を示す図。

【図 7】

検出回路の他の構成例を示す図。

【図 8】

出力カドライバの構成例を示す回路図。

【図 9】

中間ノード電圧 VMA の変化と負荷の大小との関係、及びゼロ点位置検出信号を示す図。

【図 1 0】

本発明の第 2 の実施の形態の電源回路の構成を示す図。

【図 1 1】

図 1 0 における電流帰還回路を構成する第 1 の回路を示す回路図。

【図 1 2】

CMOS インバータ回路へ入力する PWM 信号 SH, SL と、図 1 1 の回路にて作成される PSW/N SW 信号との関係を示すタイミングチャート。

【図 1 3】

図 1 0 における電流帰還回路を構成する第 2 の回路を示す回路図。

【図 1 4】

従来の電源回路の構成を示す図。

【図 1 5】

図 1 4 における P W M 信号 S H, S L 及び中間ノード電位 V M A の変化を示すタイミングチャート。

【図 1 6】

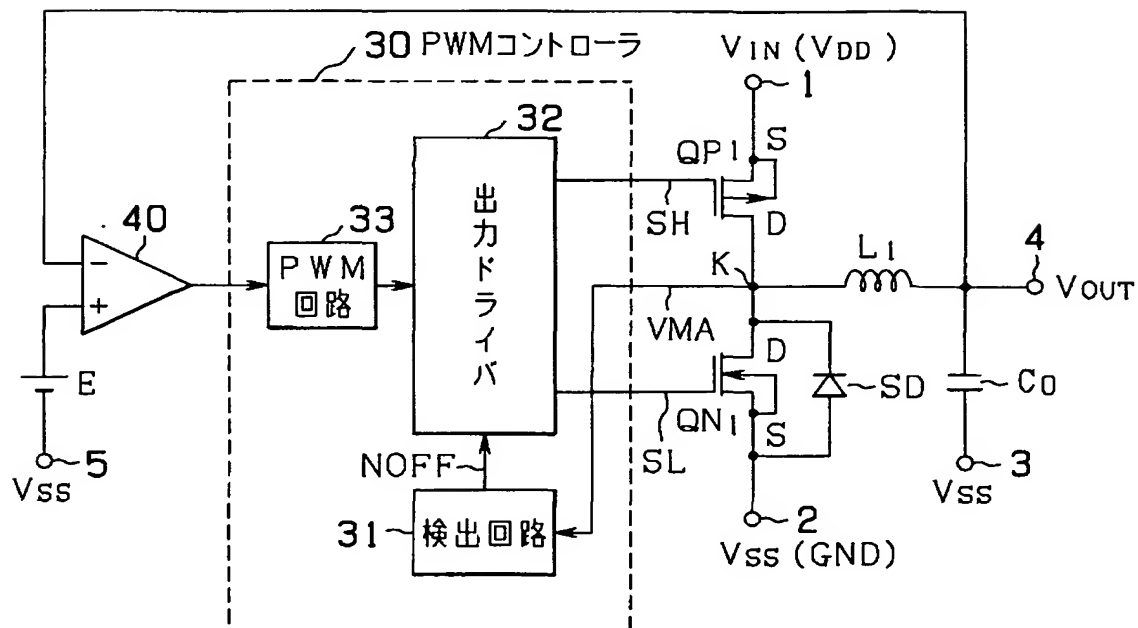
他の従来例の電源回路の構成を示す図。

【符号の説明】

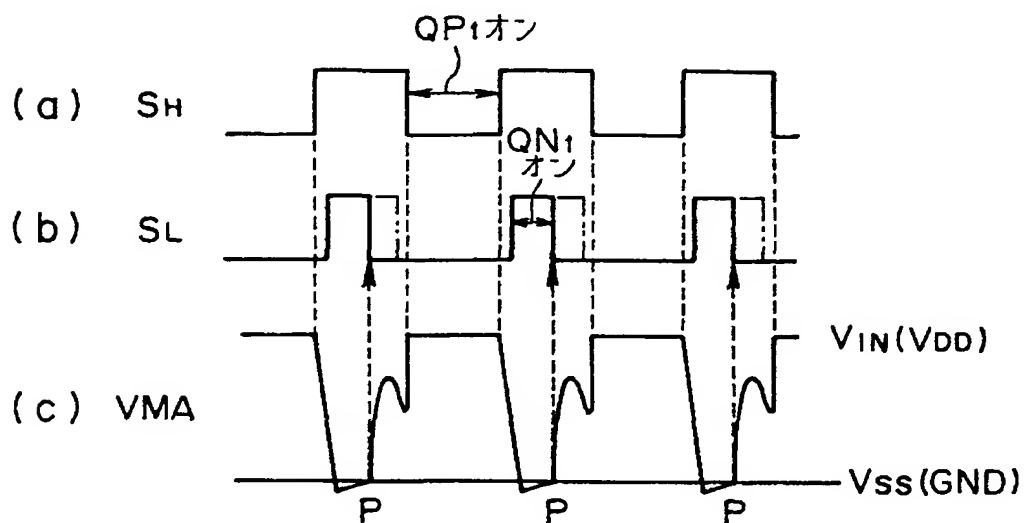
- 1 …電源入力端子
- 2 …基準電位入力端子
- 4 …出力端子
- 3 1, 3 1 A …検出回路
- 3 2 …出力ドライバ (P W M 手段)
- 3 3 … P W M 回路 (P W M 手段)
- 4 0 …エラーアンプ (誤差検出手段)
- 5 0 …電流帰還回路
- Q P 1 … P M O S (P チャンネルトランジスタ)
- Q N 1 … N M O S (N チャンネルトランジスタ)
- L 1 …整流用コイル
- C 0 …安定化容量

【書類名】 図面

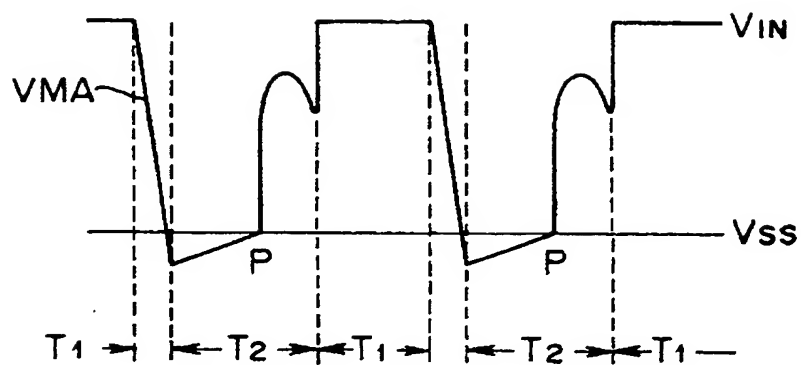
【図 1】



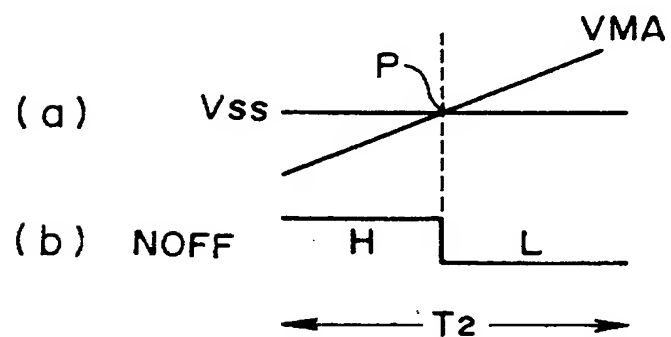
【図 2】



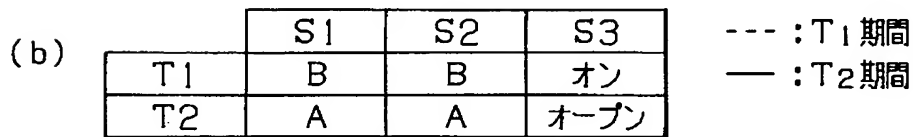
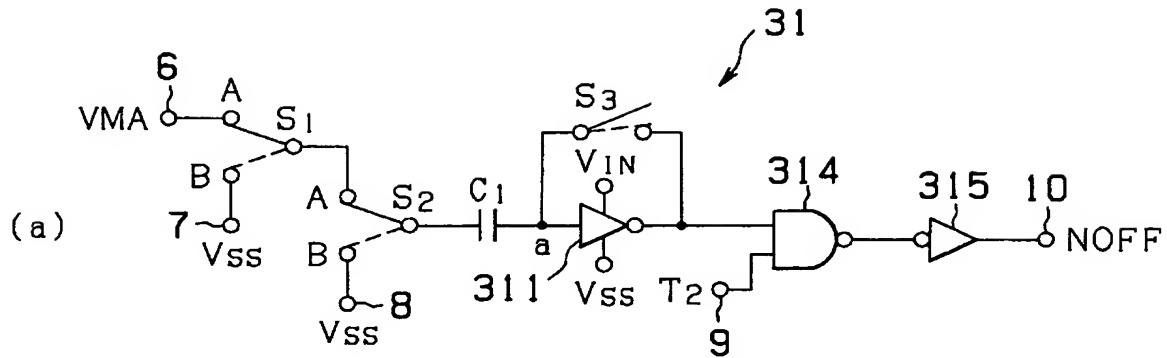
【図 3】



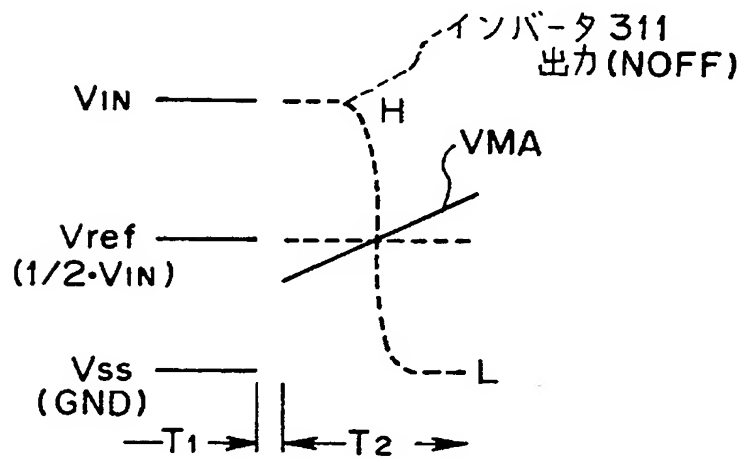
【図 4】



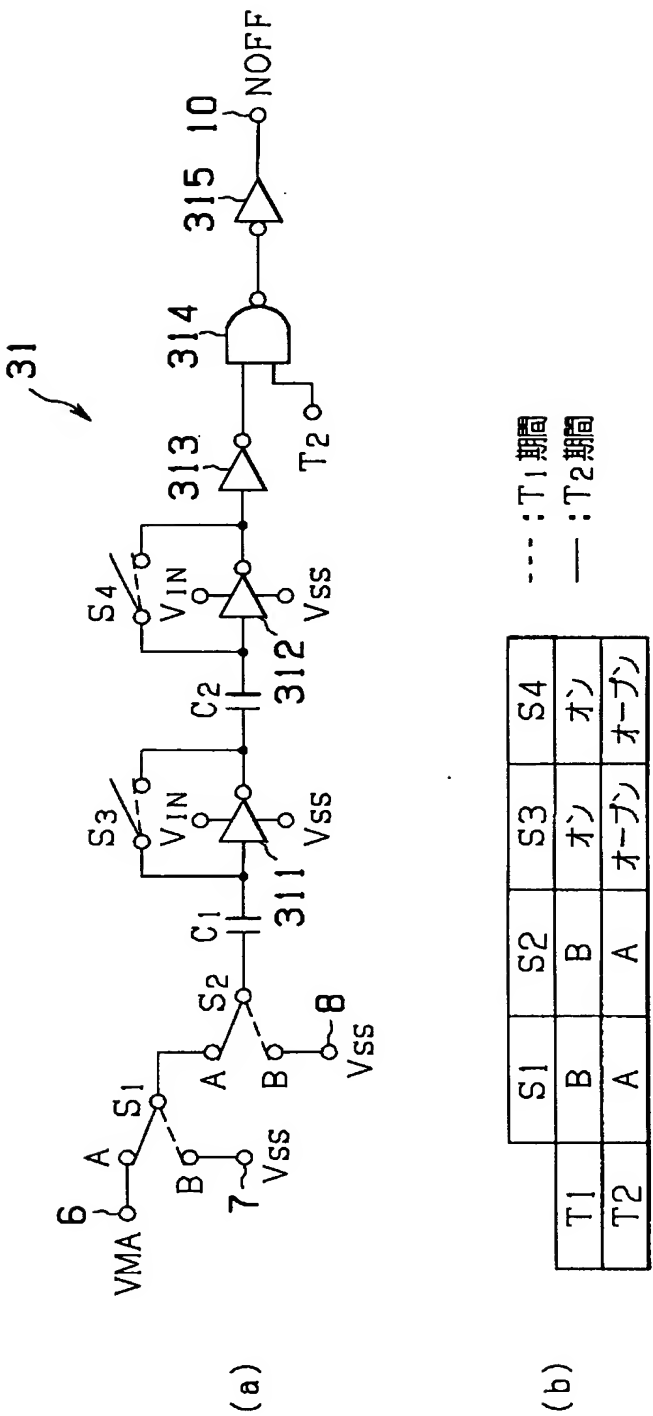
【図 5】



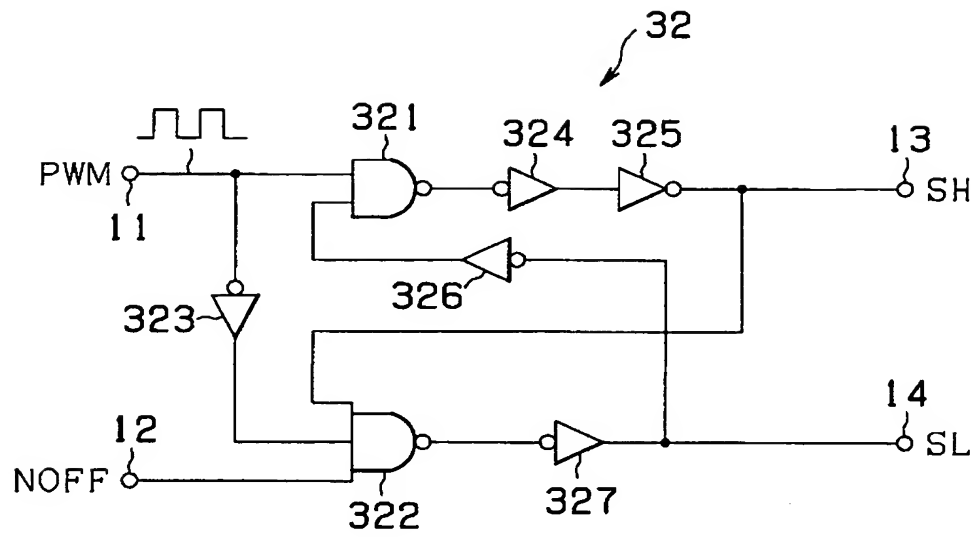
【図 6】



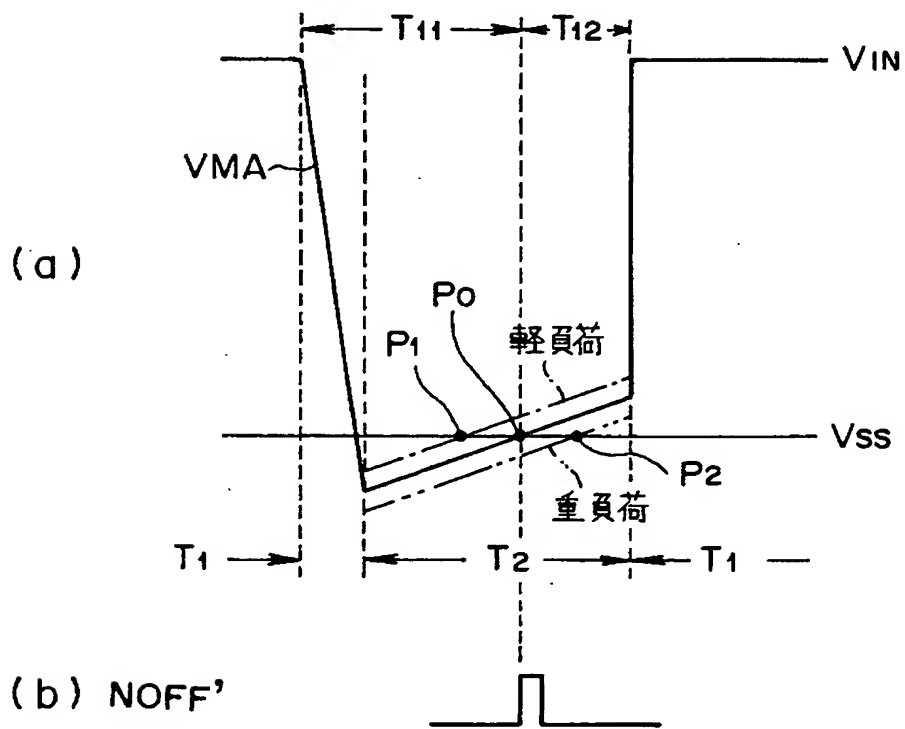
【図 7】



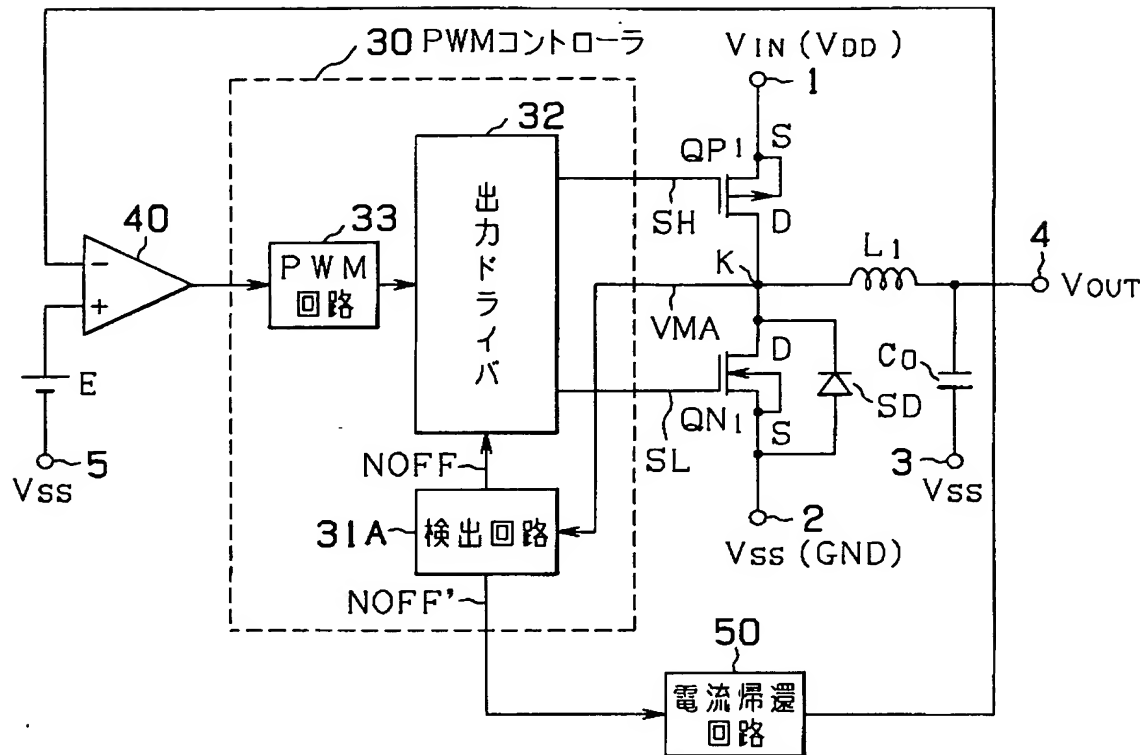
【図 8】



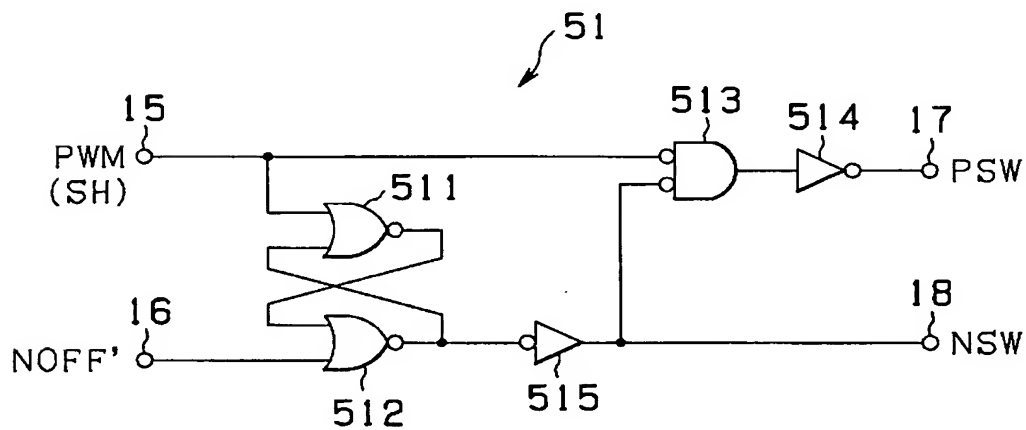
【図 9】



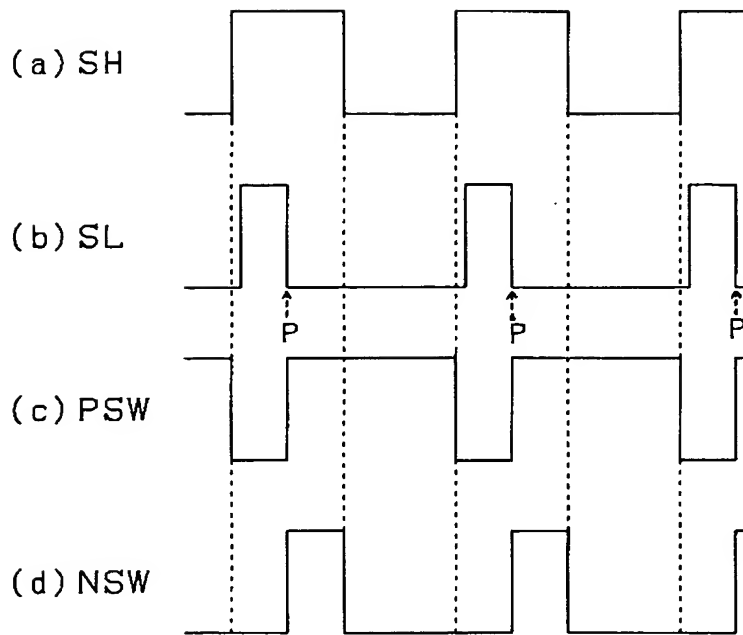
【図10】



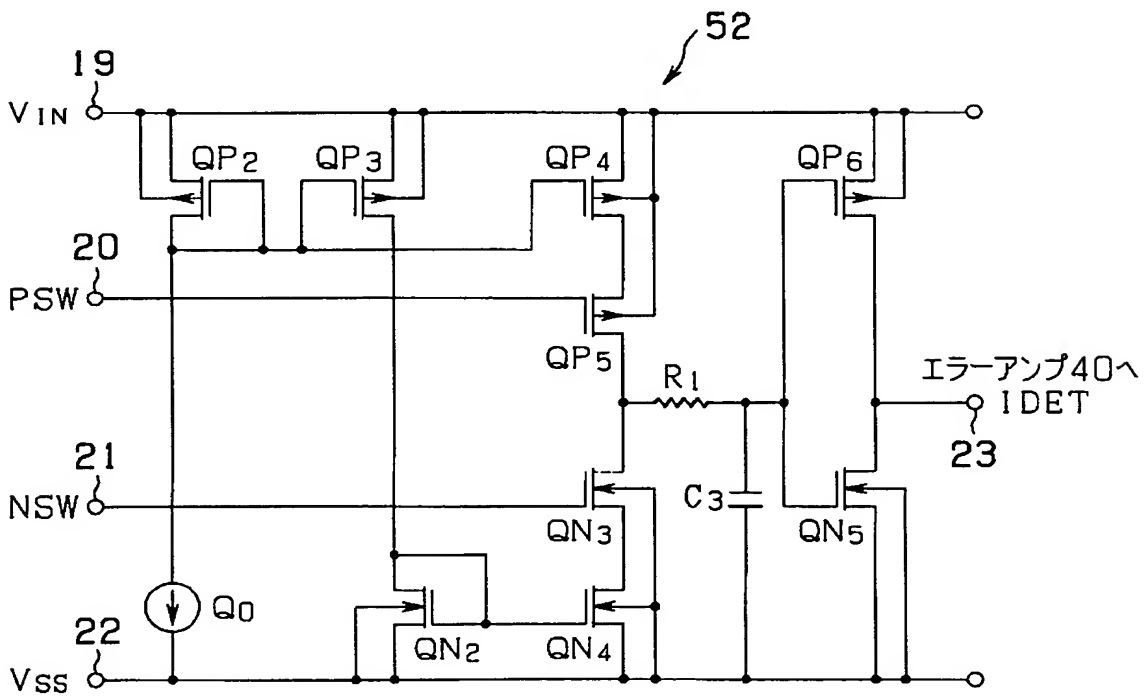
【図11】



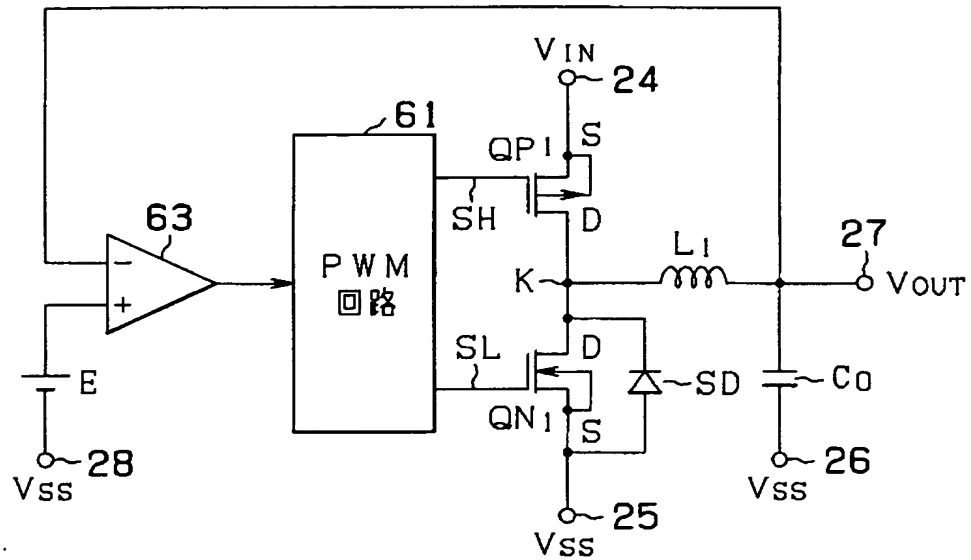
【図12】



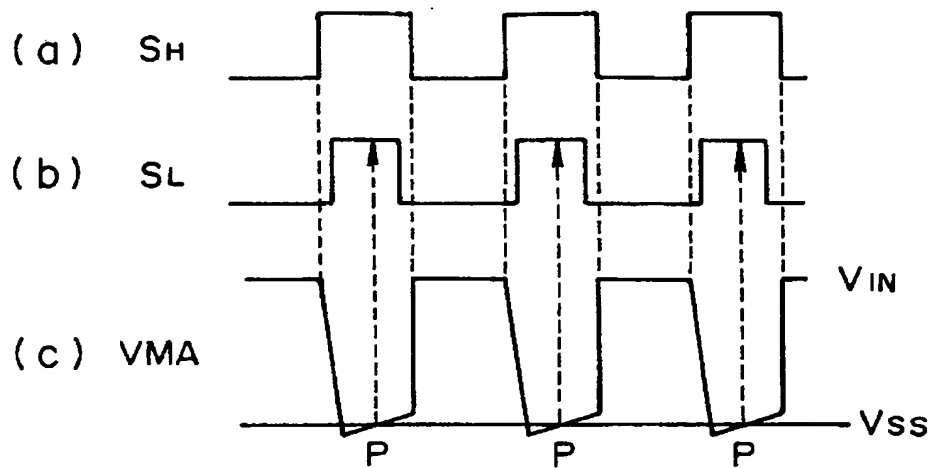
【図13】



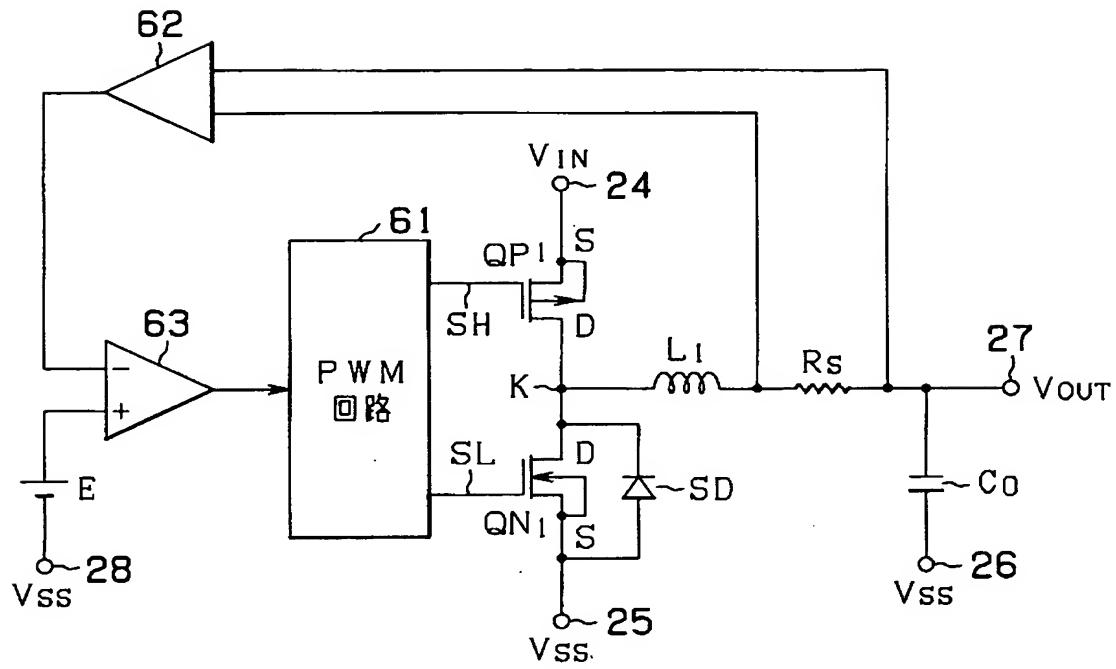
【図14】



【図15】



【図 16】



【書類名】 要約書

【要約】

【課題】 C M O S 集積回路を用いた同期整流方式の電源回路などにおいて、電力消費の低減と、部品増や効率低下を伴うことなく負荷変動に対する高速応答が可能な電源回路を提供すること。

【解決手段】 P W M 信号をゲートに、 $V_{IN} (=V_{DD})$ をソースに接続する P M O S (Q P 1) のドレインに接続され、 V_{SS} をソースに有す、N M O S (Q N 1) のドレインに接続される中間ノード電圧 V_{MA} が、N M O S (Q N 1) オン時に、アンダーシュートから戻って基準電位 V_{SS} レベルを越えたときこれを検出して N M O S (Q N 1) のゲート電圧をローレベル（オフ）にする。また、N M O S (Q N 1) オン時に、中間ノード電圧 V_{MA} が、アンダーシュートから基準電位 V_{SS} レベルに戻ったタイミング（ゼロ点位置）を検出することで、このゼロ点位置検出信号を負荷電流の大小を示す信号として P W M 回路 33 に帰還して P W M 信号のパルス幅を制御し、負荷変化に対応させる。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 1 5 2 4 5
受付番号	5 0 2 0 1 0 8 9 5 0 4
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 4 年 7 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成14年 7月24日

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社